

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-275162

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H04N 7/30
H03M 7/00
H04N 5/7826
H04N 5/92

(21)Application number : 07-072782

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.03.1995

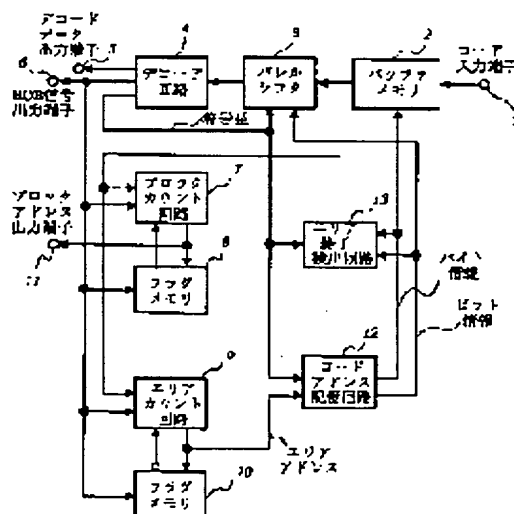
(72)Inventor : TSUKIJI NOBUYOSHI
TAKAHASHI SUSUMU

(54) DECODING CIRCUIT FOR COMPRESSED DYNAMIC IMAGE REPRODUCTION CIRCUIT

(57)Abstract:

PURPOSE: To realize depacking for ACL (packed code data in bus 1), ACM (that in bus 2) and ACH (that in bus 3) data only with a buffer memory storing code data by one video segment by accessing a required code for depacking to packed code data received by the compressed dynamic image reproduction device.

CONSTITUTION: Code data given to a buffer memory 2 are fed to a parallel shifter 3 based on byte information from a code address storage circuit 12 in the unit of bytes. The barrel shifter 3 shifts the code data not decoded by the code length returned from a decode circuit 4 and the bit information from the code address storage circuit 12 and gives the code data fed from the buffer memory 2 to the decode circuit 4.



LEGAL STATUS

[Date of request for examination]

07.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
H 0 3 M 7/00		9382-5K	H 0 3 M 7/00	
H 0 4 N 5/7826			H 0 4 N 5/782	D
5/92			5/92	H

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平7-72782

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 築地 伸芳

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

(72) 発明者 高橋 将

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

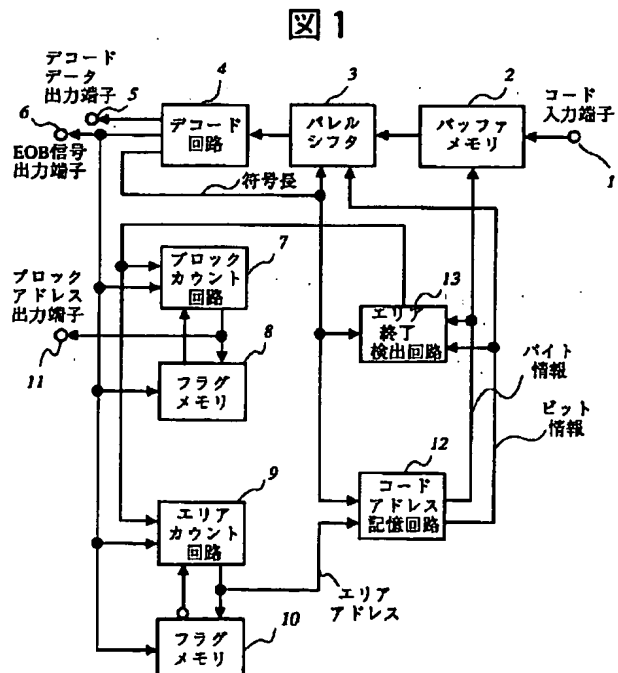
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 圧縮動画像再生装置の復号回路

(57) 【要約】

【目的】 圧縮動画像再生装置に入力されるパッキングされたコードデータに対し、デパッキング処理を施すときに、必要なコードにアクセスでき、1ビデオセグメント分のコードデータを蓄える一つのバッファメモリのみでACL、ACM及びACHデータのデパッキング処理を実現する。

【構成】 バッファメモリ2に入力されたコードデータは、コードアドレス記憶回路12からのバイト情報によってバレルシフト3にバイト単位でコードデータを供給し、バレルシフト3では、デコード回路4から返される符号長とコードアドレス記憶回路12からのビット情報によってデコードされなかったコードデータをシフトして、バッファメモリ2から供給されたコードデータを接続する。



【特許請求の範囲】

【請求項1】画像を小さなブロックに分け、コード化された所定数のブロック分のデータが、所定数のコードエリア内にパッキングされた圧縮動画像データをデコードする圧縮動画像再生装置の復号化回路において、所定ブロック分のコードデータを蓄えるバッファメモリ手段と、前記バッファメモリ手段より出力されたコードデータを符号長情報によりビットシフトをしてラッチ出力するバレルシフト手段と、前記バレルシフト手段により出力されたコードデータをデコードし、符号長を返すデコード手段と、どのブロックをデコードしているかを示すブロックカウンタ手段と、どのエリアをデコードしているかを示すエリアカウンタ手段と、前記ブロックのデコードが終了したことを示すフラグをブロック毎に蓄えるフラグメモリ手段と、エリア内に、まだデコードしていないコードが残っていることを示すフラグをエリア毎に蓄えるフラグメモリ手段と、エリア内にデコードすべきコードがなくなったことを検出するエリア終了検出手段と、エリア内のコードのデコードがどこまで終了したかを記憶しておくコードアドレス記憶手段を備えていることを特徴とする圧縮動画像再生装置の復号回路。

【請求項2】請求項1において、前記ブロックのデコードしたコードの末尾がどのエリア内にあるかの途中経過をブロック毎に記憶しておくエリア記憶手段を備える圧縮動画像再生装置の復号回路。

【請求項3】請求項2において、エリアの中に他のエリアのコードに連結すべきコードが存在することを示すフラグメモリ手段と、連結すべきコードのエリアの位置を示す連結エリアカウンタ手段を備える圧縮動画像再生装置の復号回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、圧縮動画像再生装置の復号回路において、コード化され、パッキングされたデータを効率よくデコードするためにデパッキングするデパッキング処理に係わり、少ないメモリでデパッキング処理を実現可能とするための回路に関する。

【0002】

【従来の技術】圧縮動画像再生装置の復号回路におけるデパッキング回路は、動画像圧縮符号化装置等により、磁気テープ等の記録媒体に記録するためにパッキング処理を施された画像データをデコードするために取り出す回路である。

【0003】パッキング、デパッキングに関しては、特開平4-79681号公報や特開平3-262332号公報等に述べられている。

【0004】本発明における圧縮動画像再生装置における復号回路に入力される圧縮動画像データは、例えば、松下、ソニー、フィリップス、トムソンの4社を幹事会社とするHDデジタルVTR協議会で規格化されたフ

ォーマット、即ちDVC (Digital VCR for Consumer use) と呼ばれる画像圧縮方式に従った圧縮動画像データである。

【0005】圧縮動画像再生装置における復号回路に入力される圧縮動画像データを生成する動画像圧縮装置で、入力される画像データは次のような仕様である。現行TV対応の家庭用デジタルVTR規格案であるSDフォーマットの場合、[4:1:1]フォーマットでは、入力画像データは輝度(Y) 720画素×480ライン、色差(CR, CB) 180画素×480ラインで構成されるフレームであり、輝度のサンプリング周波数は13.5MHzである。

【0006】フレーム上8×8画素でDCTブロックが構成され、更に6個のDCTブロックによってマクロブロックが構成される。マクロブロックを構成するDCTブロックは、四つの輝度(Y)ブロックと二つの色差ブロック(CR, CB)から成る。更に五つのマクロブロックにより圧縮データ量一定化の単位であるビデオセグメントが構成される。

【0007】また、HDTV対応の家庭用デジタルVTR規格案であるHDフォーマットでは、[12:4:0]フォーマットの場合、入力画像データは輝度1008画素×1024ライン、色差336画素×512ラインのフレームであり、輝度のサンプリング周波数は40.5MHzである。このとき1フレームは42×64マクロブロックであるが、まず45×60マクロブロックのフレームに変換し、動画像圧縮符号化装置では変換されたフレームに対して処理を行う。

【0008】動画像圧縮符号化装置で圧縮される画像データは、磁気テープ等の記録媒体に記録されるためにパッキング処理が施される。図4に示すように、パッキングでは、1ビデオセグメント(5マクロブロック)分のデータを五つのシンクブロックに配置する。各シンクブロックに配置されるデータの集まりをユニットと呼ぶ。1ビデオセグメント分のデータ量は、レートコントロールにより、5ユニット分のデータ量以下に抑えられている。

【0009】一つのユニットは一つのマクロブロックに対応している。ユニットの中には、各DCTブロックに対応した六つのDCTエリア(Yは14バイト、CR, CBは10バイト)が用意されている。パッキングでは、このDCTエリアにAC係数のハフマンコードに変換されたデータを配置する。

【0010】ハフマンコードへの変換は、量子化された各DCTブロックのAC係数データ(二次元)をジグザグスキャンにより一次元のデータに並び替えた後、0の続く数(0ラン)とその直後の係数値の組み合わせをエントリとすることにより行われる。また、各DCTブロックの終わりには、4ビットのEOBコードを追加する。

【0011】パッキング処理では、3段階の処理（パス1、パス2、パス3）でDCTエリアへのハフマンコードデータの配置を行う。一旦、バッファメモリに蓄えられた1ビデオセグメント分のデータは、パス1で、各DCTブロックの符号がそれぞれの固定エリアがいっぱいになるまで詰め込められ、溢れたデータは先頭のDCTブロックから順につなげてユニット毎に超過データ用メモリ1に蓄えられる。パス2では、パス1で溢れたデータは同一ユニット内の空き領域に先頭から順に詰め込められる。それでも溢れたデータは、先頭のユニットから順につなげて5ユニット分超過データ用メモリ2に蓄えられる。パス3では、パス2で溢れたデータは、5ユニット全体の空き領域に先頭から順に詰め込められる。

【0012】圧縮動画像再生装置の復号回路におけるデパッキング回路は、1ビデオセグメント（5ユニット）をデータ量一定の単位としてパッキングされたハフマンコードデータをデバックする回路である。

【0013】ここで、1ビデオセグメント分のデパッキング処理は、つぎの順序で行われる。まず、前記パッキング処理のパス1でパッキングされたコード（ACL）を1マクロブロック分デコードする。つぎにパス2でパッキングされたコード（ACM）を1マクロブロック分デコードする。以上の操作を5マクロブロック分繰り返した後に、パス3でパッキングされたコード（ACH）をデコードする。

【0014】

【発明が解決しようとする課題】パッキング処理では、前記の通り1ビデオセグメント分のデータを一旦蓄える一つのバッファメモリと、超過分のデータを蓄える二つのメモリの計三つのメモリを必要とする。デパッキング処理でも、単純にパッキングと逆の処理を行えば、三つのメモリが必要となる。

【0015】本発明の目的は、圧縮動画像再生装置の復号回路におけるデパッキング回路で、圧縮された入力動画像データに対し、従来よりも少ないメモリ容量でデパッキング処理を実現可能とすることにある。

【0016】

【課題を解決するための手段】上記の目的を達成するため、圧縮動画像再生装置の復号回路におけるデパッキング回路で、1ビデオセグメント分のハフマンコードデータを蓄えるバッファメモリ手段と、前記バッファメモリ手段より出力されたコードデータを符号長情報によりビットシフトをしてラッチ出力するバレルシフト手段と、前記バレルシフト手段により出力されたコードデータをデコードし、符号長を返すデコード手段を設けた。さらに、どのマクロブロックのどこのDCTブロックをデコードしているかを示すブロックカウント手段と、どのユニットのどこのエリアをデコードしているかを示すエリアアカウント手段と、EOBが発見されたことを示すフラグをブロック毎に蓄えるフラグメモリ手段と、エリアの

デコードがEOBで終わっているかどうかを示すフラグをエリア毎に蓄えるフラグメモリ手段と、エリア内にデコードすべきコードがないことを示すノーコードフラグ（NC）を発生するエリア終了検出手段と、エリア内のコードのデコードが何バイト目の何ビットまで終了したかを記憶しておくコードアドレス記憶手段を設けた。

【0017】

【作用】入力されたコードデータに対しデパッキング処理を行う場合に、バッファメモリ手段は1ビデオセグメント分のハフマンコードデータを蓄え、バレルシフト手段は符号長情報によりデコードされずに残されたコードデータに対しビットシフトを行い、そのビットシフトしたコードデータにバッファメモリ手段により出力されたコードデータを加えて次にデコードすべきコードデータとする。デコード手段は、バレルシフト手段より受け取ったコードデータをデコードし、ゼロラン、エントリーのデコードデータ、EOB信号、及び符号長データを出力する。

【0018】ブロックカウント手段は、どのマクロブロックのどこのDCTブロックをデコードしているかを示すアドレスを出力する。エリアアカウント手段は、どのユニットのどこのエリアをデコードしているかを示すアドレスを出力する。さらに、フラグメモリ手段はデコードが終了したことを示すブロック毎のEOBのフラグ、或いはエリアのデコードがEOBで終わっているかどうかを示すエリア毎のフラグを蓄える。

【0019】エリア終了検出手段は、DCTエリアに蓄えられていたコードデータを全てデコードし、もうデコードすべきコードデータがエリア内にないことを示すノーコード信号を発生する。コードアドレス記憶手段はエリアアカウント手段より受け取ったエリアアドレスにデコード回路より受け取った符号長を加算し、デコードがエリアのどこまで進んだかを覚えておき、バイト及びビット情報を出力する。

【0020】以上の手段を用いることにより、本発明によるデパッキング回路では、パッキングされたコードをそのまま蓄えるコードメモリ以外に特にバッファメモリを持たず、コードメモリへのアドレスを制御することのみで必要なコードにアクセスする方式でデパッキング処理を行うことができる。

【0021】

【実施例】図1に本発明における圧縮動画像再生装置の復号回路におけるデパッキング回路のACLデータを処理する場合の第一の実施例のブロック図を示す。

【0022】コード入力端子1はバッファメモリ2にハフマンコードデータを供給し、バッファメモリ2は、バレルシフト3にデータを供給している。さらにバレルシフト3は、デコード回路4にデコードすべきコードデータを供給している。デコード回路4でデコードされたデータはデコードデータ出力端子5に出力され、EOB信

号が検出された場合は、EOB信号出力端子6、ブロックカウント回路7、フラグメモリ8、エリアカウント回路9、及びフラグメモリ10に出力信号を供給する。さらにデコード回路4は、符号長データをバレルシフタ3、エリア終了検出回路13、及びコードアドレス記憶回路12に出力する。

【0023】ブロックカウント回路7は、フラグメモリ8と接続され、ブロックカウント回路7から出力されるブロックアドレスは、ブロックアドレス出力端子11及びフラグメモリ8に出力される。

【0024】エリアカウント回路9は、フラグメモリ10と接続され、エリアカウント回路9から出力されるエリアアドレスは、コードアドレス記憶回路12とフラグメモリ10に出力される。

【0025】コードアドレス記憶回路は、バイト情報とビット情報をエリア終了検出回路13に出力し、さらにバイト情報をバッファメモリ2に、ビット情報をバレルシフタ3に供給する。

【0026】本発明におけるデパッキング回路の基本的動作は、つぎの通りである。まず、バッファメモリ2は、コード入力端子1から供給される1ビデオセグメント分のハフマンコードデータを蓄える。デコード回路4は、バレルシフタ3から供給されるコードデータをデコードし、デコードデータやEOB信号を出力するとともに、符号長をバレルシフタ3に供給する。バレルシフタ3では、供給された符号長分だけ、先にデコードしたビット数から差し引き、残ったビットをシフトしてつぎのデコードデータ用に用意する。空きができたバレルシフタ3では、新たにバッファメモリ2から1バイトのコードデータを供給し、先にバレルシフタ3に残っているビットに足してデコード回路4に供給する。

【0027】ブロックカウント回路7には、各DCTブロックの終わりを示すEOBが見つかったときにデコード回路4から出力される信号と各DCTエリアのデータを使いきったときにエリア終了検出回路13から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにブロックカウント回路7は、カウントアップする。フラグメモリ8では、ブロックカウント回路7からアドレスを受け取り、ブロックカウント回路7がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ8では、EOBが検出されてブロックカウント回路7がカウントアップしたときには、図5に示すようにフラグ(1)をたててアドレスを進め、ノーコード信号によってブロックカウント回路7がカウントアップしたときには、フラグをたてずに

(0)アドレスを進める。ここで、フラグメモリ8のアドレスが進むということは、ブロックカウント回路7がカウントアップすることを意味する。

【0028】また、ブロックカウント回路7から出力されるブロックアドレスは、ブロックアドレス出力端子1

1にも出力される。

【0029】一方、エリアカウント回路9にも、各DCTブロックの終わりを示すEOBが見つかったときにデコード回路4から出力される信号と各DCTエリアのデータを使いきったときにエリア終了検出回路13から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにエリアカウント回路9は、カウントアップする。フラグメモリ10では、エリアカウント回路9からアドレスを受け取り、エリアカウント回路9がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ10では、EOBが検出されてエリアカウント回路9がカウントアップしたときには、図5に示すようにフラグ(1)をたててアドレスを進め、ノーコード信号によってエリアカウント回路9がカウントアップしたときには、フラグをたてずに

(0)アドレスを進める。ここで、フラグメモリ10のアドレスが進むということは、エリアカウント回路9がカウントアップすることを意味する。

【0030】一方、エリアカウント回路9は、コードアドレス記憶回路12にもエリアアドレスを供給し、コードアドレス記憶回路12では、デコード回路4から供給される符号長をもとに各エリアについてデコードしたビットを加算していき、エリアのどの位置までデコードが終了したかを記憶する。

【0031】エリア終了検出回路13では、コードアドレス記憶回路12からエリアのどの位置までデコードが終了したかを示すバイト情報とビット情報を受け取り、その情報から判るエリア内の空きビットとデコード回路4から供給される符号長との比較を行う。ここで、もし、エリア内の空きビットよりも供給された符号長のほうが大きければ、そのエリアには、デコードできるコードが残っていないことを示し、エリア終了検出回路13は、ノーコード信号をブロックカウント回路7及びエリアカウント回路9に供給する。

【0032】また、コードアドレス記憶回路12から出力されるバイト情報は、バッファメモリ2にも供給され、バッファメモリ2では、その情報によってコードデータのバレルシフタ3への供給を制御する。さらにコードアドレス記憶回路12から出力されるビット情報は、バレルシフタ3に供給され、バレルシフタ3では、そのビット情報をもとにビットシフトを行う。

【0033】以上の各動作により1マクロブロック分のデコードを行うことにより、1ユニットのACLのデコードが終了する。

【0034】本実施例によれば、パッキングされたコードをそのまま蓄えるコードメモリ以外にバッファメモリを持たずに、コードメモリへのアドレスを制御することのみで必要なコードにアクセスでき、1ビデオセグメント分のコードデータを蓄える一つのバッファメモリのみでACLのデパッキング、デコード処理を実現できる。

【0035】図2に、本発明における圧縮動画再生装置の復号回路におけるデパッキング回路のACLデータの処理に続くACMデータの処理を行う場合の第二の実施例のブロック図を示す。

【0036】コード入力端子1はバッファメモリ2にハフマンコードデータを供給し、バッファメモリ2は、バレルシフタ3にデータを供給している。さらにバレルシフタ3は、デコード回路4にデコードすべきコードデータを供給している。デコード回路4でデコードされたデータはデコードデータ出力端子5に出力され、EOB信号が検出された場合は、EOB信号出力端子6、ブロックカウント回路7、フラグメモリ8、エリアカウント回路9、及びフラグメモリ10に出力信号を供給する。さらにデコード回路4は、符号長データをバレルシフタ3、エリア終了検出回路13、及びコードアドレス記憶回路12に出力する。

【0037】ブロックカウント回路7は、フラグメモリ8と接続され、ブロックカウント回路7から出力されるブロックアドレスは、ブロックアドレス出力端子11、フラグメモリ8及びエリア記憶回路14に出力される。さらにブロックカウント回路7は、スイッチ15にセレクト信号を供給している。

【0038】エリアカウント回路9は、フラグメモリ10と接続され、エリアカウント回路9から出力されるエリアアドレスは、スイッチ15、フラグメモリ10及びエリア記憶回路14に出力される。

【0039】コードアドレス記憶回路は、バイト情報とビット情報をエリア終了検出回路13に出力し、さらにバイト情報をバッファメモリ2に、ビット情報をバレルシフタ3に供給する。

【0040】エリア記憶回路14には、ブロックカウント回路7からブロックアドレスが、エリアカウント回路9からエリアアドレスがデータとして供給されるが、その出力は、スイッチ15に供給される。

【0041】スイッチ15にはエリアカウント回路9の出力のエリアアドレスとエリア記憶回路14の出力が入力され、ブロックカウント回路7からのセレクト信号によってコードアドレス記憶回路12に出力するアドレスを選択する。

【0042】本発明におけるデパッキング回路の基本的動作は、つぎの通りである。まず、バッファメモリ2は、コード入力端子1から供給される1ビデオセグメント分のハフマンコードデータを蓄える。デコード回路4は、バレルシフタ3から供給されるコードデータをデコードし、デコードデータやEOB信号を出力するとともに、符号長をバレルシフタ3に供給する。バレルシフタ3では、供給された符号長分だけ、先にデコードしたビット数から差し引き、残ったビットをシフトしてつぎのデコードデータ用に用意する。空きができたバレルシフタ3では、新たにバッファメモリ2から1バイトのコー

ドデータを供給し、先にバレルシフタ3に残っているビットに足してデコード回路4に供給する。

【0043】ブロックカウント回路7には、各DCTブロックの終わりを示すEOBが見つかったときにデコード回路4から出力される信号と各DCTエリアのデータを使いきったときにエリア終了検出回路13から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにブロックカウント回路7は、カウントアップする。フラグメモリ8では、ブロックカウント回路7からアドレスを受け取り、ブロックカウント回路7がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ8では、EOBが検出されてブロックカウント回路7がカウントアップしたときには、図5に示すようにフラグ(1)をたててアドレスを進め、ノーコード信号によってブロックカウント回路7がカウントアップしたときには、フラグをたてずに(0)アドレスを進める。

【0044】ここで、注意が必要なのは、本発明による実施例1によって、ACLデータのデコードを終了している場合、フラグメモリ8のアドレス領域には、フラグが立っている(1)アドレスと立っていない(0)アドレスが存在する。本発明による実施例2のように、ACLデータのデコードに続いてACMデータのデコードを行う場合は、ブロックカウント回路7がカウントアップし、フラグメモリ8がアドレスを進めたときに、そのアドレスにフラグが立っていたならば、フラグメモリ8はフラグが立っていないところまでアドレスを進める。ここで、フラグメモリ8のアドレスが進むということは、ブロックカウント回路7がカウントアップすることを意味する。

【0045】また、ブロックカウント回路7から出力されるブロックアドレスは、ブロックアドレス出力端子11及びエリア記憶回路14にも出力される。

【0046】一方、エリアカウント回路9にも、各DCTブロックの終わりを示すEOBが見つかったときにデコード回路4から出力される信号と各DCTエリアのデータを使いきったときにエリア終了検出回路13から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにエリアカウント回路9は、カウントアップする。フラグメモリ10では、エリアカウント回路9からアドレスを受け取り、エリアカウント回路9がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ10では、EOBが検出されてエリアカウント回路9がカウントアップしたときには、図5に示すようにフラグ(1)をたててアドレスを進め、ノーコード信号によってエリアカウント回路9がカウントアップしたときには、フラグをたてずに(0)アドレスを進める。

【0047】ここで、エリアカウント回路9がカウントアップし、フラグメモリ10がアドレスを進めたとき

に、そのアドレスにフラグが立っていない場合、フラグメモリ10はフラグが立っているところまでアドレスを進める。ここでの、フラグメモリ10のアドレスが進むということは、エリアカウンタ回路9がカウンタアップすることを意味する。

【0048】また、エリアカウンタ回路9は、エリア記憶回路14及びスイッチ15にもエリアアドレスを供給し、エリア記憶回路14にはデータとしてエリアアドレスを供給する。

【0049】ACLデータのデコード終了時には、フラグメモリ8内のフラグとフラグメモリ10内のフラグは一致し、それぞれのフラグは、ブロックカウンタ回路7にとっては、概念的にそのブロックのデコードが終了していることを示し、エリアカウンタ回路9にとっては、空きエリアが存在することを示している。

【0050】ACMデータのデコードは、このフラグを見ながらブロックカウンタ回路7がデコード未終了のブロックを探し、エリアカウンタ回路9が空きエリアを探してデコードを行う。

【0051】各エリアのデータを使いきってデコードが中断された場合には、そのエリアの末尾にはデコードされていない何ビットかの未完結コードが残されている。ACMデータのデコードを続行するには、この未完結コードを読みだしてから、空きエリアのコードデータを続けなければならない。

【0052】ACLデータのデコードを終了した時点では、未完結コードの存在するエリアはブロックカウンタ回路7の指し示すアドレスに一致しているが、ACMデータのデコードを進めると移動してしまう。そこで、未完結コードの移動したエリアを記憶しておくために、本発明による実施例2では実施例1の回路構成にエリア記憶回路14が加えられた。

【0053】エリア記憶回路14では、ブロックカウンタ回路7から出力されるブロックアドレス、即ち概念的にどここのマクロブロックのどのDCTブロックをデコードしているのかを示すアドレスにエリアカウンタ回路9から出力されるエリアアドレス、即ちどのユニットのどのエリアをデコードしているかを示すアドレスを書き込む。

【0054】スイッチ15では、エリア記憶回路14から出力されるアドレスを示すデータ、即ち未完結コードが実際に存在する位置を示すアドレスと、エリアカウンタ回路9の出力であるエリアアドレスとをブロックカウンタ回路7から出力される制御信号によって切り替え、コードアドレス記憶回路12に出力する。即ち、スイッチ15では、まず未完結コードが存在するアドレスを出力し、その後続けて次にデコードすべきエリアを示すアドレスを出力する。

【0055】コードアドレス記憶回路12では、デコード回路4から供給される符号長をもとに各エリアについ

てデコードしたビットを加算していき、エリアのどの位置までデコードが終了したかを記憶する。

【0056】エリア終了検出回路13では、コードアドレス記憶回路12からエリアのどの位置までデコードが終了したかを示すバイト情報とビット情報を受け取り、その情報から判るエリア内の空きビットとデコード回路4から供給される符号長との比較を行う。ここで、もし、エリア内の空きビットよりも供給された符号長のほうが大きければ、そのエリアには、デコードできるコードが残っていないことを示し、エリア終了検出回路13は、ノーコード信号をブロックカウンタ回路7及びエリアカウンタ回路9に供給する。

【0057】また、コードアドレス記憶回路12から出力されるバイト情報は、バッファメモリ2にも供給され、バッファメモリ2では、その情報によってコードデータのバレルシフタ3への供給を制御する。さらにコードアドレス記憶回路12から出力されるビット情報は、バレルシフタ3に供給され、バレルシフタ3では、そのビット情報をもとにビットシフトを行う。

【0058】以上の各動作により1マクロブロック分のデコードを行うことにより、1ユニットのACLのデコードに続くACMのデコードが終了する。

【0059】本実施例によれば、パッキングされたコードをそのまま蓄えるコードメモリ以外にバッファメモリを持たずに、コードメモリへのアドレスを制御することのみで必要なコードにアクセスでき、1ビデオセグメント分のコードデータを蓄える一つのバッファメモリのみでACLとACMのデパッキング、デコード処理を実現できる。

【0060】図3に、本発明における圧縮動画再生装置の復号回路におけるデパッキング回路のACL、ACMデータの処理に続くACHデータの処理を行う場合の第三の実施例のブロック図を示す。

【0061】コード入力端子1はバッファメモリ2にハフマンコードデータを供給し、バッファメモリ2は、バレルシフタ3にデータを供給している。さらにバレルシフタ3は、デコード回路4にデコードすべきコードデータを供給している。デコード回路4でデコードされたデータはデコードデータ出力端子5に出力され、EOB信号が検出された場合は、EOB信号出力端子6、ブロックカウンタ回路7、フラグメモリ8、エリアカウンタ回路9、フラグメモリ10、連結エリアカウンタ回路17、及びフラグメモリ18に出力信号を供給する。さらにデコード回路4は、符号長データをバレルシフタ3、エリア終了検出回路13、及びコードアドレス記憶回路12に出力する。

【0062】ブロックカウンタ回路7は、フラグメモリ8と接続され、ブロックカウンタ回路7から出力されるブロックアドレスは、ブロックアドレス出力端子11、フラグメモリ8及びエリア記憶回路14に出力される。

さらにブロックカウント回路 7 は、スイッチ 16 にセレクト信号を供給している。

【0063】エリアカウント回路 9 は、フラグメモリ 10 と接続され、エリアカウント回路 9 から出力されるエリアアドレスは、スイッチ 16、フラグメモリ 10 及びエリア記憶回路 14 に出力される。

【0064】連結エリアカウント回路 17 は、フラグメモリ 18 と接続され、連結エリアカウント回路 17 から出力される連結エリアアドレスは、スイッチ 16、及びフラグメモリ 18 に出力される。

【0065】コードアドレス記憶回路は、バイト情報とビット情報をエリア終了検出回路 13 に出力し、さらにバイト情報をバッファメモリ 2 に、ビット情報をバレルシフタ 3 に供給する。

【0066】エリア記憶回路 14 には、ブロックカウント回路 7 からブロックアドレスが、エリアカウント回路からエリアアドレスがデータとして供給されるが、その出力は、スイッチ 16 に供給される。

【0067】スイッチ 16 にはエリアカウント回路 9 の出力のエリアアドレス、連結エリアカウント回路 17 及びエリア記憶回路 14 の出力が入力され、ブロックカウント回路 7 及び連結エリアカウント回路 17 からのセレクト信号によってコードアドレス記憶回路 12 に出力するアドレスを選択する。

【0068】本発明におけるデパッキング回路の基本的動作は、つぎの通りである。まず、バッファメモリ 2 は、コード入力端子 1 から供給される 1 ビデオセグメント分のハフマンコードデータを蓄える。デコード回路 4 は、バレルシフタ 3 から供給されるコードデータをデコードし、デコードデータや EOB 信号を出力するとともに、符号長をバレルシフタ 3 に供給する。バレルシフタ 3 では、供給された符号長分だけ、先にデコードしたビット数から差し引き、残ったビットをシフトしてつぎのデコードデータ用に用意する。空きができたバレルシフタ 3 では、新たにバッファメモリ 2 から 1 バイトのコードデータを供給し、先にバレルシフタ 3に残っているビットに足してデコード回路 4 に供給する。

【0069】ブロックカウント回路 7 には、各 DCT ブロックの終わりを示す EOB が見つかったときにデコード回路 4 から出力される信号と各 DCT エリアのデータを使いきったときにエリア終了検出回路 13 から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにブロックカウント回路 7 は、カウントアップする。フラグメモリ 8 では、ブロックカウント回路 7 からアドレスを受け取り、ブロックカウント回路 7 がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ 8 では、EOB が検出されてブロックカウント回路 7 がカウントアップしたときには、図 5 に示すようにフラグ (1) をたててアドレスを進め、ノーコード信号によってブロックカウント回路

7 がカウントアップしたときには、フラグをたてずに (0) アドレスを進める。

【0070】ここで、注意が必要なのは、本発明による実施例 1 によって、ACL データのデコードを終了している場合、フラグメモリ 8 のアドレス領域には、フラグが立っている (1) アドレスと立っていない (0) アドレスが存在する。本発明による実施例 2 のように、ACL データのデコードに続いて ACM データのデコードを行う場合は、ブロックカウント回路 7 がカウントアップし、フラグメモリ 8 がアドレスを進めたときに、そのアドレスにフラグが立っていたならば、フラグメモリ 8 はフラグが立っていないところまでアドレスを進める。ここで、フラグメモリ 8 のアドレスが進むということは、ブロックカウント回路 7 がカウントアップすることを意味する。

【0071】また、ブロックカウント回路 7 から出力されるブロックアドレスは、ブロックアドレス出力端子 11 及びエリア記憶回路 14 にも出力される。

【0072】一方、エリアカウント回路 9 にも、各 DCT ブロックの終わりを示す EOB が見つかったときにデコード回路 4 から出力される信号と各 DCT エリアのデータを使いきったときにエリア終了検出回路 13 から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときにエリアカウント回路 9 は、カウントアップする。フラグメモリ 10 では、エリアカウント回路 9 からアドレスを受け取り、エリアカウント回路 9 がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ 10 では、EOB が検出されてエリアカウント回路 9 がカウントアップしたときには、図 5 に示すようにフラグ (1) をたててアドレスを進め、ノーコード信号によってエリアカウント回路 9 がカウントアップしたときには、フラグをたてずに (0) アドレスを進める。

【0073】ここで、エリアカウント回路 9 がカウントアップし、フラグメモリ 10 がアドレスを進めたときに、そのアドレスにフラグが立っていない場合、フラグメモリ 10 はフラグが立っているところまでアドレスを進める。ここで、フラグメモリ 10 のアドレスが進むということは、エリアカウント回路 9 がカウントアップすることを意味する。

【0074】また、エリアカウント回路 9 は、エリア記憶回路 14 及びスイッチ 16 にもエリアアドレスを供給し、エリア記憶回路 14 にはデータとしてエリアアドレスを供給する。

【0075】空きエリアが小さい場合、ACM データのデコード時に、未完結コードにこの空きエリアのコードを接続しても未完結のまま処理が終了してしまうことがある。ACH データのデコードでは、このようなエリアは未完結コードに続いて読み出す必要がある。そこで、このようなエリアを探すためのカウンタ、即ち連結エリ

アカウント回路 17 を設け、未完結コードの次に、このアカウント回路が指し示すエリアのコードを読み出してから、空きエリアの読み出しに移るようにした。

【0076】連結エリアアカウント回路 17 にも、各 DCT ブロックの終わりを示す EOB が見つかったときにデコード回路 4 から出力される信号と各 DCT エリアのデータを使いきったときにエリア終了検出回路 13 から出力されるノーコード信号が入力されるようにされ、このどちらかの信号が入力されたときに連結エリアアカウント回路 17 は、カウントアップする。フラグメモリ 18 では、連結エリアアカウント回路 17 からアドレスを受け取り、連結エリアアカウント回路 17 がカウントを進める毎にアドレスを進める。そのときに、フラグメモリ 18 では、EOB が検出されて連結エリアアカウント回路 17 がカウントアップしたときには、図 5 に示すようにフラグ (1) をたててアドレスを進め、ノーコード信号によって連結エリアアカウント回路 17 がカウントアップしたときには、フラグをたてずに (0) アドレスを進める。

【0077】ここで、連結エリアアカウント回路 17 がカウントアップし、フラグメモリ 18 がアドレスを進めたときに、そのアドレスにフラグが立っていない場合、フラグメモリ 18 はフラグが立っているところまでアドレスを進める。ここで、フラグメモリ 18 のアドレスが進むということは、連結エリアアカウント回路 17 がカウントアップすることを意味する。なお、連結エリアアカウント回路 17 が指し示すアドレスは、ブロックカウント回路 7 が指し示すマクロブロックと同じブロックの中の空きエリアである。

【0078】連結エリアアカウント回路 17 は、スイッチ 16 にもエリアアドレスを供給し、また、スイッチ 16 にセレクト信号を供給する。

【0079】エリア記憶回路 14 では、ブロックカウント回路 7 から出力されるブロックアドレス、即ち概念的にどここのマクロブロックのどの DCT ブロックをデコードしているのかを示すアドレスにエリアアカウント回路 9 から出力されるエリアアドレス、即ちどのユニットのどのエリアをデコードしているかを示すアドレスを書き込む。

【0080】スイッチ 16 では、エリア記憶回路 14 から出力されるアドレスを示すデータ、即ち未完結コードが実際に存在する位置を示すアドレスと、連結エリアアカウント回路 17 の出力、即ち ACM のデコード時に未完結コードと接続してもデコードができなかったエリアを示すアドレスと、エリアアカウント回路 9 の出力であるエリアアドレスとをブロックカウント回路 7 から出力されるセレクト信号、及び連結エリアアカウント回路 17 から出力されるセレクト信号によって切り替え、コードアドレス記憶回路 12 に出力する。

【0081】即ち、スイッチ 16 では、コードアドレス記憶回路 12 に対して、まず未完結コードが存在するア

ドレスを出力し、次に ACM のデコード時に未完結コードと接続してもデコードができなかったエリアを出力して、その後に続けて次にデコードすべきエリアを示すアドレスを出力する。

【0082】コードアドレス記憶回路 12 では、デコード回路 4 から供給される符号長をもとに各エリアについてデコードしたビットを加算していき、エリアのどの位置までデコードが終了したかを記憶する。

【0083】エリア終了検出回路 13 では、コードアドレス記憶回路 12 からエリアのどの位置までデコードが終了したかを示すバイト情報とビット情報を受け取り、その情報から判るエリア内の空きビットとデコード回路 4 から供給される符号長との比較を行う。ここで、もし、エリア内の空きビットよりも供給された符号長のほうが大きければ、そのエリアには、デコードできるコードが残っていないことを示し、エリア終了検出回路 13 は、ノーコード信号をブロックカウント回路 7 及びエリアアカウント回路 9 に供給する。

【0084】また、コードアドレス記憶回路 12 から出力されるバイト情報は、バッファメモリ 2 にも供給され、バッファメモリ 2 では、その情報によってコードデータのバレルシフト 3 への供給を制御する。さらにコードアドレス記憶回路 12 から出力されるビット情報は、バレルシフト 3 に供給され、バレルシフト 3 では、そのビット情報をもとにビットシフトを行う。

【0085】以上の各動作により 1 マクロブロック分のデコードを行うことにより、1 ユニットの ACL 及び ACM のデコードに続く ACH のデコードが終了する。

【0086】本実施例によれば、パッキングされたコードをそのまま蓄えるコードメモリ以外にバッファメモリを持たずに、コードメモリへのアドレスを制御することのみで必要なコードにアクセスでき、1 ビデオセグメント分のコードデータを蓄える一つのバッファメモリのみで ACL、ACM 及び ACH のデパッキング、デコード処理を実現できる。

【0087】

【発明の効果】本発明は、圧縮画像再生装置の復号回路におけるデパッキング回路で、パッキングされたコードをそのまま蓄えるコードメモリ以外にバッファメモリを持たずに、コードメモリへのアドレスを制御することのみで必要なコードにアクセスでき、1 ビデオセグメント分のコードデータを蓄える一つのバッファメモリのみで ACL、ACM 及び ACH データのデパッキング処理を実現できる。

【図面の簡単な説明】

【図 1】本発明のデパッキング回路における ACL データをデパッキングするときの第一の実施例のブロック図。

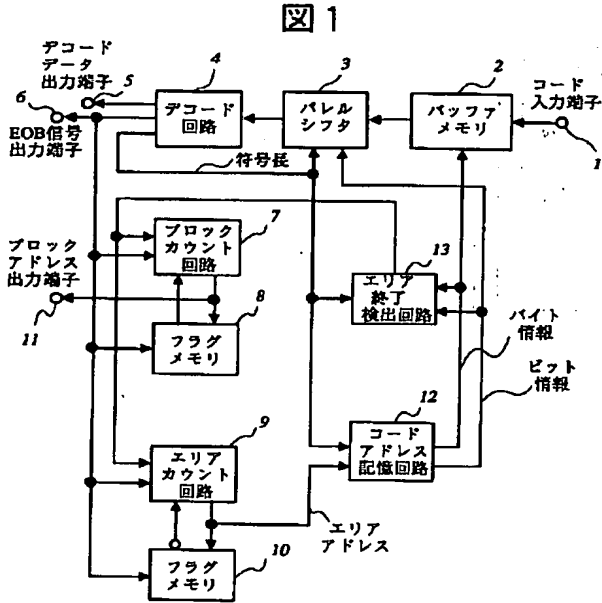
【図 2】本発明のデパッキング回路における ACL、ACM データをデパッキングするときの第二の実施例のブ

ロック図。

【図3】本発明のデパッキング回路におけるACL、ACM及びACHデータをデパッキングするときの第三の実施例のブロック図。

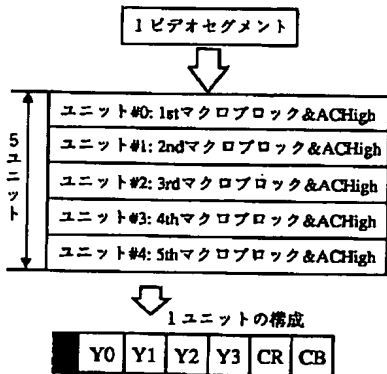
【図4】本発明のデパッキング回路で、デパッキング処理の対象となり、データ量一定の単位となるビデオセグメントの説明図。

【図1】

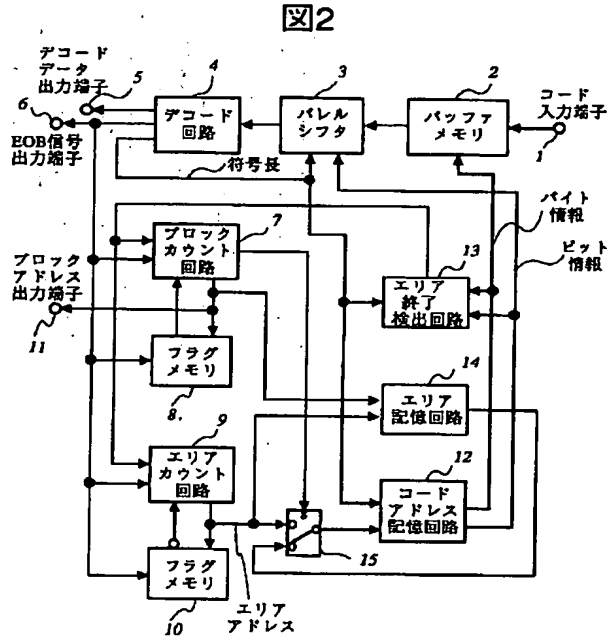


【図4】

図4

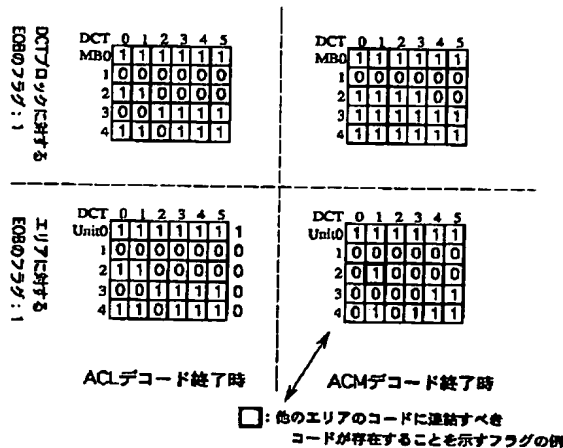


【図2】



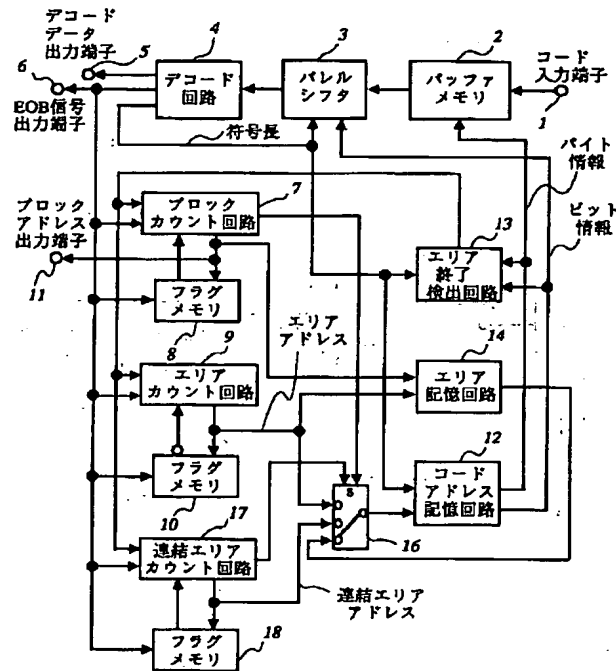
【図5】

図5



【図3】

図3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.